

Analyse statique de timing (STA) Contraintes de Design Xilinx (XDC) et Utilisation Avancée de Vivado™

DURÉE DE FORMATION



4 jours - 28 heures

OBJECTIFS ET COMPÉTENCES VISÉS

- 1 - Savoir optimiser le code HDL pour maximiser les ressources et les performances FPGA et utiliser la méthodologie de conception UltraFast™
- 2 - Savoir maîtriser l'outil Vivado, appliquer des contraintes de timings (XDC) et utiliser les rapports de timing appropriés
- 3 - Savoir identifier les domaines clés pour optimiser votre conception, minimiser les problèmes de métastabilité et fiabiliser votre reset dans votre système
- 4 - Savoir appliquer les contraintes de timing sur les entrées/sorties pour atteindre les objectifs de performance
- 5 - Savoir utiliser des options de mise en œuvre avancées, telles que le flux de compilation incrémental, les techniques d'optimisation physique et le mode ré-entrant
- 6 - Savoir utiliser des techniques avancées pour améliorer les performances de conception
- 7 - Savoir déboguer un design lors de la phase de démarrage et utiliser les fonctions avancées de débogage

PUBLICS CONCERNÉS

- Techniciens et Ingénieurs en électronique numérique
- Toutes nos formations étant données à distance, sont accessibles aux personnes à mobilité réduite.
- Les personnes en situation de handicap peuvent avoir des besoins spécifiques pour suivre la formation. Notre partenaire AGEFIPH nous accompagne pour mettre en place les adaptations nécessaires liées à votre handicap. N'hésitez pas à nous contacter pour en discuter.



PRÉREQUIS

- Connaissance intermédiaire en langage HDL (VHDL ou Verilog)
- Expérience avec la suite Vivado™ et les FPGAs.

NOTES

- Date de version : 15/11/2024

CONTENU DE LA FORMATION

JOUR 1

- Objectif 1
 - Introduction à l'architecture FPGA et à l'analyse Statique de Timing (STA) {Lectures}
 - Techniques de codage HDL {Lecture}
 - Méthodologie de conception ultra-rapide : Planification des cartes et Création du design {Lectures}
- Objectif 2
 - Flux de la suite logicielle Vivado Design {Lectures, Lab}
 - Synthèse et implémentation de Vivado {Lecture}
 - Introduction aux rapports Vivado {Lecture}

JOUR 2

- Objectif 2
 - Baselining {Lecture}
 - Rédacteur des contraintes de temps {Lecture}
 - Ressources d'horloges {Lecture}
 - Introduction aux contraintes horloges {Lecture}
 - Horloges générées {Lecture, Lab}
 - Contraintes du groupe d'horloge {Lecture}
 - Rapport sur l'interaction entre les horloges {Lecture}
 - Rapport de synthèse sur le timing {Lecture}
 - Analyse des délais de setup et de hold {Lecture}
 - Contraintes d'entrées/sorties et horloges virtuelles {Lecture, Lab}
 - Introduction aux exceptions de timings {Lecture, Lab}

JOUR 3

- Objectif 3
 - Techniques de conception synchrone {Lecture}
 - Circuits de synchronisation {Lecture, Lab}

- Réinitialisation {Lecture}
- Duplication du registre {Lecture}
- Objectif 4
 - Scénarios de timing des entrées/sorties {Lecture}
 - Synchronisation des entrées/sorties avec le système {Lecture}
 - Synchronisation des entrées/sorties à la source {Lecture, Lab}
 - Ressources logiques E/S {Lecture}
 - Fiche technique du rapport {Lecture}
 - Priorités des contraintes de timing {Lecture}
- Objectif 5
 - Méthodologie de conception ultra-rapide : Implementation {Lecture}
 - Optimisation physique {Lecture}
 - Flux de compilation incrémentiel {Lecture}

JOUR 4

- Objectif 6
 - Aperçu des rapports QoR {Lecture, Lab}
 - Réduction du délai logique {Lecture}
 - Réduction du délai net {Lecture}
 - Amélioration du skew de l'horloge {Lecture}
 - Amélioration de l'incertitude de l'horloge {Lecture, Lab}
 - Exécution intelligente de la conception (IDR) {Lecture, Lab}
 - Introduction au Floorplanning {Lecture}
- Objectif 7
 - Vivado Design Suite ECO Flow {Lecture, Lab}
 - JTAG to AXI Master Core {Lecture}
 - Déclenchement et débogage au démarrage de l'appareil {Lecture}
 - Déclenchement à l'aide de la machine à états de déclenchement de l'analyseur logique Vivado {Lecture, Lab}

MÉTHODES ET SUIVI PÉDAGOGIQUES - EVALUATION ET RECONNAISSANCE

- **Méthodes pédagogiques :**
 - Alternance de cours, de questionnaires techniques et d'exercices réalisés sur machine individuellement.
- **Suivi pédagogique :**
 - Feuille de présence émarginée
- **Evaluation pédagogique :**
 - Fiche d'évaluation continue et de progression :
 - Questionnaire technique
 - Résultat des Travaux pratiques
 - Validation des Objectifs
- **Evaluation de satisfaction :**
 - En fin de formation : fiche d'appréciation remplie par le stagiaire
 - A 3 mois : fiche d'évaluation remplie par le stagiaire après application entreprise
- **Reconnaissance :**
 - Attestation de formation avec évaluation des acquis fournie au stagiaire
 - Certificat de réalisation fourni à son employeur

MOYENS PÉDAGOGIQUES

- **Formation Inter-entreprise en distanciel :**

- Connexion internet rapide, webcam, casque micro
- Présentation par Webex de Cisco



- Fourniture de matériel de cours en format PDF
- Travaux pratiques sur PC individuel à distance par RealVNC 

- **Formation Intra-entreprise en présentiel sur site client : (modalités à valider en amont de la formation)**

- Suggestion de fourniture par le client :
 - Salle de formation
 - Vidéoprojecteur
 - Tableau blanc
 - PC individuel avec outils AMD
- Fourniture par MVD Training :
 - Matériel de cours en format PDF
 - Travaux pratiques sur PC individuel (prêt de matériel possible sur demande)

MATÉRIEL INFORMATIQUE RECOMMANDÉ

- **Formation Inter-entreprise en distanciel :**

- Ordinateur récent OS Linux ou Windows 64-bits
- Internet rapide, webcam, casque micro
- Outil logiciel WebEx Cisco
- **Outils logiciels AMD à distance :**
 - Outil logiciel RealVNC Viewer
- **Outils logiciels AMD en local :**
 - Outil logiciel AMD Vivado 2022.2

- **Formation en présentiel sur site client :**

- Ordinateur récent OS Linux ou Windows 64-bits
- Outil logiciel AMD Vivado 2022.2

ENCADREMENT PÉDAGOGIQUE

- **William Duluc, Ingénieur Electronique et Télécom, Expert AMD depuis 2009 et Formateur AMD depuis 2017 :**

- Expert FPGA AMD - Langage VHDL/Verilog - Design RTL
- Expert SoC & MPSoC AMD - Langage C/C++ - Design Systèmes
- Expert DSP & RFSoc AMD - HLS - Matlab - Design DSP RF
- Expert Versal AMD - Engins AI - Architecte Système Hétérogènes

CONTACT TECHNIQUE, PÉDAGOGIQUE, ADMINISTRATIF ET FINANCIER

William DULUC, 06 74 52 37 89, info@mvd-training.com