

# Accélération des applications avec l'environnement logiciel unifié Vitis

3 jours - 21 heures

## OBJECTIFS

- Après avoir suivi cette formation, vous aurez les compétences nécessaires pour :
  - 1 - Expliquer comment l'environnement logiciel unifié de Vitis aide les développeurs de logiciels
  - 2 - Décrire comment l'architecture FPGA se prête au calcul parallèle, ainsi que les cartes ALVEO
  - 3 - Décrire le modèle d'exécution de Vitis (API OpenCL)
  - 4 - Établir le profil de la conception à l'aide de l'outil d'analyse Vitis
  - 5 - Créer des noyaux à partir de C, C++ ou RTL IP en utilisant l'assistant de création de noyaux RTL
  - 6 - Appliquer les techniques d'optimisation du code hôte et du noyau
  - 7 - Décrire les bibliothèques existantes et créer une plateforme extensible

## PRÉREQUIS

- Connaissance de base de l'architecture FPGA Xilinx
- A l'aise avec le langage de programmation C/C++
- Flux de développement logiciel

## PUBLICS CONCERNÉS

- Techniciens et Ingénieurs en électronique numérique
- Toutes nos formations étant données à distance, sont accessibles aux personnes à mobilité réduite.
- Notre partenaire AGEFIPH nous accompagne pour mettre en place les adaptations nécessaires liées à votre handicap.



## NOTES

- Date de version : 20/12/2021

## CHAPITRES

### JOUR 1

- Objectif 1
  - Introduction à la plate-forme logicielle unifiée de Vitis {Lecture}
  - Aperçu de l'outil Vitis IDE {Lecture, Labs}
  - Flux de la ligne de commande Vitis {Lecture, Labs}
- Objectif 2
  - Introduction à l'accélération matérielle {Lecture}
  - Aperçu des cartes d'accélération des centres de données Alveo {Lecture}
  - Démarrer avec les cartes accélératrices des centres de données Alveo {Lecture}

### JOUR 2

- Objectif 3
  - Modèle d'exécution de Vitis et XRT {Lecture, Labs}
  - Synchronisation {Lecture, Lab}

- NDRanges {Lecture}
- Objectif 4
  - Profilage {Lecture}
  - Débogage {Lecture}
- Objectif 5
  - Introduction aux noyaux basés sur C/C++ {Lecture, Lab}

### JOUR 3

- Objectif 5
  - Utilisation de l'assistant du noyau RTL pour réutiliser l'IP existante comme Accélérateurs {Lecture, Lab}
- Objectif 6
  - Méthodologie d'optimisation {Lecture}
  - Optimisation du noyau basé sur C/C++ {Lecture}
  - Optimisation du code d'hôte {Lecture}
  - Optimiser les performances de la conception {Lecture, Lab}
- Objectif 7
  - Bibliothèques accélérées Vitis {Lecture}
  - Création d'une plateforme d'accélération embarquée Vitis (Edge) {Lecture}

## MOYENS PÉDAGOGIQUES

- Formation Inter-entreprise en ligne:
  - Présentation par Webex de Cisco



- Fourniture de matériel de cours en format PDF
- Travaux pratiques sur PC à distance par RealVNC



## MODALITÉS DE SUIVI ET APPRÉCIATION DES RÉSULTATS

- Fiches de présence émargées
- Questionnaire d'appréciation
- Fiche d'évaluation portant sur :
  - Questionnaire technique
  - Résultat des Travaux pratiques
  - Validation des Objectifs
- Remise d'une attestation avec évaluation des acquis

## ENCADREMENT

- Formateur agréé XILINX : Ingénieur Electronique et Télécommunication ENSIL
  - Expert FPGA XILINX – Langage VHDL/Verilog – Design RTL
  - Expert SoC & MPSoC XILINX – Langage C/C++ – Design Systèmes
  - Expert DSP & RFSoc XILINX – HLS - Matlab - Design DSP RF
  - Expert ACAP XILINX – Engins AI – Architecte Système Hétérogènes

## PC RECOMMANDÉ

- Configuration logicielle :
  - WebEx Cisco
  - RealVNC Viewer
- Configuration matérielle :
  - Vitis unified software platform 2021.1
  - Ordinateur récent (i5 ou i7)
  - OS Linux 64-bits
  - Minimum 16Go de mémoire vive
  - Résolution d'affichage recommandée 1920x1080

## PARTENAIRES



## CONTACT

Administratif : +33 (0)6 30 94 50 17

Formateur : +33 (0)6 74 52 37 89

info@mvd-training.com

